

DIALOG(R)File 347:JAPIO

(c) 2005 JPO & JAPIO. All rts. reserv.

07481995 **Image available**

INSPECTION METHOD AND DEVICE

PUB. NO.: 2002-350513 [JP 2002350513 A]
PUBLISHED: December 04, 2002 (20021204)
INVENTOR(s): HIROKI MASAOKI
APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD
APPL. NO.: 2002-066275 [JP 200266275]
FILED: March 12, 2002 (20020312)
PRIORITY: 2001-079598 [JP 200179598], JP (Japan), March 19, 2001
 (20010319)
INTL CLASS: G01R-031/302; G01R-031/00; G01R-031/02; G02F-001/13

ABSTRACT

PROBLEM TO BE SOLVED: To establish a simple and convenient inspection method without the need for sticking a wire with a probe and provide an inspection device using the same.

SOLUTION: A primary coil of a substrate for inspection is overlaid on a secondary coil of an element substrate at a predetermined interval in-between. An A.C. signal is inputted to the primary coil to generate electromotive force in the secondary coil by electromagnetic induction. Then by using the electromotive force to drive a circuit of the element substrate and monitoring information of electromagnetic waves or an electric field generated in the circuit, defective locations are detected in the inspection device or the inspection method.

COPYRIGHT: (C)2003,JPO

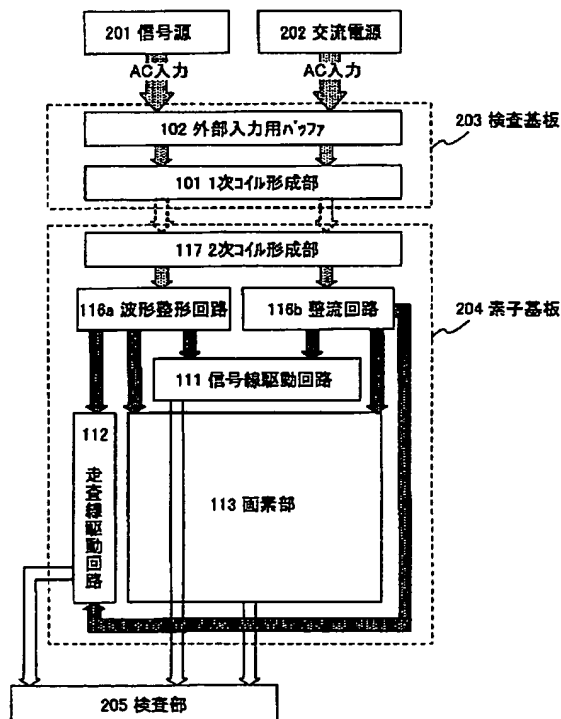
BEST AVAILABLE COPY

Family list**4** family members for:**JP2002350513**

Derived from 3 applications.

- 1 INSPECTION METHOD AND DEVICE**
Publication info: **JP2002350513 A** - 2002-12-04
- 2 Inspection method and inspection apparatus**
Publication info: **US6850080 B2** - 2005-02-01
US2002130675 A1 - 2002-09-19
- 3 Inspection method and inspection apparatus**
Publication info: **US2005212044 A1** - 2005-09-29

Data supplied from the *esp@cenet* database - Worldwide



【特許請求の範囲】

【請求項 1】 1 次コイルを有する検査装置であって、
前記 1 次コイルと、素子基板が有する 2 次コイルとを、
一定の間隔をもって重ね合わせる手段と、
前記 1 次コイルに交流の電圧を印加するための手段と、
前記 2 次コイルに接続された、前記素子基板が有する複
数の回路素子において生じる電界の情報を収集する手段
と、
前記収集した情報から、前記素子基板が有する複数の回
路素子のうち、欠陥を有する回路素子を特定する手段 10
と、を備えることを特徴とする検査装置。

【請求項 2】 1 次コイルを有する検査装置であって、
前記 1 次コイルと、素子基板が有する 2 次コイルとを、
一定の間隔をもって重ね合わせる手段と、
前記 1 次コイルに交流の電圧を印加するための手段と、
前記 2 次コイルに接続された、前記素子基板が有する複
数の回路素子において生じる電界の情報を収集する手段
と、
前記素子基板が有する複数の回路素子のうち、前記収集
した情報が、ある一定の範囲外である回路素子を、欠陥 20
と判断する手段と、を備えることを特徴とする検査装
置。

【請求項 3】 請求項 1 または請求項 2 において、前記電
界の情報を収集する手段とは、電界の強さを測定する手
段であることを特徴とする検査装置。

【請求項 4】 請求項 3 において、前記電界の強さを測定
する手段とは、電気光学素子を備えていることを特徴と
する検査装置。

【請求項 5】 請求項 4 において、
前記電気光学素子とは、ポッケルス・セルであることを 30
特徴とする検査装置。

【請求項 6】 1 次コイルを有する検査装置であって、
前記 1 次コイルと、素子基板が有する 2 次コイルとを、
一定の間隔をもって重ね合わせる手段と、
前記 1 次コイルに交流の電圧を印加するための手段と、
前記 2 次コイルに接続された、前記素子基板が有する複
数の回路素子において生じる電磁波の情報を収集する手
段と、
前記収集した情報から、前記素子基板が有する複数の回
路素子のうち、欠陥を有する回路素子を特定する手段 40
と、を備えることを特徴とする検査装置。

【請求項 7】 1 次コイルを有する検査装置であって、
前記 1 次コイルと、素子基板が有する 2 次コイルとを、
一定の間隔をもって重ね合わせる手段と、
前記 1 次コイルに交流の電圧を印加するための手段と、
前記 2 次コイルに接続された、前記素子基板が有する複
数の回路素子において生じる電磁波の情報を収集する手
段と、
前記素子基板が有する複数の回路素子のうち、前記収集
した情報が、ある一定の範囲外である回路素子を、欠陥 50

と判断する手段と、を備えることを特徴とする検査装
置。

【請求項 8】 請求項 6 または請求項 7 において、前記電
磁波の情報を収集する手段とは、電磁波の強さを測定す
る手段であることを特徴とする検査装置。

【請求項 9】 請求項 1 乃至請求項 8 のいずれか 1 項にお
いて、

前記一定の間隔とは、前記 1 次コイルが形成された絶縁
表面と、前記素子基板との間に気体または液体を流すこ
とで制御していることを特徴とする検査装置。

【請求項 10】 請求項 1 乃至請求項 9 のいずれか 1 項に
おいて、

前記 1 次コイルが有する配線は同一平面上に形成され、
且つ前記配線は渦を巻いていることを特徴とする検査装
置。

【請求項 11】 複数の 1 次コイルを有する検査装置であ
って、
前記複数の 1 次コイルと、素子基板が有する複数の 2 次
コイルとを、一定の間隔をもってそれぞれ重ね合わせる
手段と、
前記複数の 1 次コイルに交流の電圧を印加するための手
段と、

前記複数の 2 次コイルに接続された、前記素子基板が有
する複数の回路素子において生じる電界の情報を収集す
る手段と、
前記収集した情報から、前記素子基板が有する複数の回
路素子のうち、欠陥を有する回路素子を特定する手段
と、を備えることを特徴とする検査装置。

【請求項 12】 複数の 1 次コイルを有する検査装置であ
って、
前記複数の 1 次コイルと、素子基板が有する複数の 2 次
コイルとを、一定の間隔をもってそれぞれ重ね合わせる
手段と、
前記複数の 1 次コイルに交流の電圧を印加するための手
段と、
前記複数の 2 次コイルに接続された、前記素子基板が有
する複数の回路素子において生じる電界の情報を収集す
る手段と、
前記素子基板が有する複数の回路素子のうち、前記収集
した情報が、ある一定の範囲外である回路素子を、欠陥
と判断する手段と、を備えることを特徴とする検査装
置。

【請求項 13】 複数の 1 次コイルを有する検査装置であ
って、
前記複数の 1 次コイルと、素子基板が有する複数の 2 次
コイルとを、一定の間隔をもってそれぞれ重ね合わせる
手段と、
前記複数の 1 次コイルに交流の電圧を印加するための手
段と、
前記素子基板が有する検査専用回路において生じる電界

の情報を収集する手段と、

前記収集した情報から、前記素子基板が有する複数の回路素子のうち、欠陥を有する回路素子を特定する手段と、を備えており、

前記複数の 2 次コイルの出力は、その電圧の波形が整形されて、前記素子基板が有する複数の回路素子に入力され、前記複数の回路素子の出力は、前記検査専用回路に入力されることを特徴とする検査装置。

【請求項 1 4】請求項 1 3 において、

前記検査専用回路は、

前記複数の回路素子の出力のレベルが全て同じであるとき第 1 のレベルの信号を出力し、前記複数の回路素子の出力のうち、少なくとも 1 つの出力のレベルが異なっているとき、前記第 1 のレベルの信号とは異なる第 2 のレベルの信号を出力する第 1 の手段と、

前記第 1 の手段からの出力を増幅する第 2 の手段と、

前記第 2 の手段からの出力を入力する端子とを有することを特徴とする検査装置。

【請求項 1 5】複数の 1 次コイルを有する検査装置であって、

前記複数の 1 次コイルと、素子基板が有する複数の 2 次コイルとを、一定の間隔をもってそれぞれ重ね合わせる手段と、

前記複数の 1 次コイルに交流の電圧を印加するための手段と、

前記素子基板が有する検査専用回路に設けられた端子において生じる電界の情報を収集する手段と、

前記収集した情報から、前記素子基板が有する複数の回路素子のうち、欠陥を有する回路素子を特定する手段と、を備えており、

前記複数の 2 次コイルの出力は、その電圧の波形が整形されて、前記素子基板が有する複数の回路素子に入力され、前記複数の回路素子の出力は、前記検査専用回路に入力されており、

前記検査専用回路は、前記複数の回路素子の出力のレベルが全て同じであるとき第 1 のレベルの信号を出力し、前記複数の回路素子の出力のうち、少なくとも 1 つの出力のレベルが異なっているとき、前記第 1 のレベルの信号とは異なる第 2 のレベルの信号を出力する第 1 の手段と、前記第 1 の手段からの出力を増幅する第 2 の手段とを有し、

前記第 2 の手段からの出力は前記端子に入力されることを特徴とする検査装置。

【請求項 1 6】請求項 1 1 乃至請求項 1 5 のいずれか 1 項において、前記電界の情報を収集する手段とは、電界の強さを測定する手段であることを特徴とする検査装置。

【請求項 1 7】請求項 1 6 において、前記電界の強さを測定する手段とは、電気光学素子を備えていることを特徴とする検査装置。

【請求項 1 8】請求項 1 7 において、

前記電気光学素子とは、ポッケルス・セルであることを特徴とする検査装置。

【請求項 1 9】複数の 1 次コイルを有する検査装置であって、

前記複数の 1 次コイルと、素子基板が有する複数の 2 次コイルとを、一定の間隔をもってそれぞれ重ね合わせる手段と、

前記複数の 1 次コイルに交流の電圧を印加するための手段と、

前記複数の 2 次コイルに接続された、前記素子基板が有する複数の回路素子において生じる電磁波の情報を収集する手段と、

前記収集した情報から、前記素子基板が有する複数の回路素子のうち、欠陥を有する回路素子を特定する手段と、を備えることを特徴とする検査装置。

【請求項 2 0】複数の 1 次コイルを有する検査装置であって、

前記複数の 1 次コイルと、素子基板が有する複数の 2 次コイルとを、一定の間隔をもってそれぞれ重ね合わせる手段と、

前記複数の 1 次コイルに交流の電圧を印加するための手段と、

前記複数の 2 次コイルに接続された、前記素子基板が有する複数の回路素子において生じる電磁波の情報を収集する手段と、

前記素子基板が有する複数の回路素子のうち、前記収集した情報が、ある一定の範囲外である回路素子を、欠陥と判断する手段と、を備えることを特徴とする検査装置。

【請求項 2 1】複数の 1 次コイルを有する検査装置であって、

前記複数の 1 次コイルと、素子基板が有する複数の 2 次コイルとを、一定の間隔をもってそれぞれ重ね合わせる手段と、

前記複数の 1 次コイルに交流の電圧を印加するための手段と、

前記素子基板が有する検査専用回路において生じる電磁波の情報を収集する手段と、

前記収集した情報から、前記素子基板が有する複数の回路素子のうち、欠陥を有する回路素子を特定する手段と、を備えており、

前記複数の 2 次コイルの出力は、その電圧の波形が整形されて、前記素子基板が有する複数の回路素子に入力され、前記複数の回路素子の出力は、前記検査専用回路に入力されることを特徴とする検査装置。

【請求項 2 2】請求項 2 1 のいずれか 1 項において、

前記検査専用回路は、

前記複数の回路素子の出力のレベルが全て同じであるとき第 1 のレベルの信号を出力し、前記複数の回路素子の

10

20

30

40

50

出力のうち、少なくとも1つの出力のレベルが異なっているとき、前記第1のレベルの信号とは異なる第2のレベルの信号を出力する第1の手段と、

前記第1の手段からの出力を増幅する第2の手段と、
前記第2の手段からの出力を入力する端子とを有することを特徴とする検査装置。

【請求項23】複数の1次コイルを有する検査装置であって、

前記複数の1次コイルと、素子基板が有する複数の2次コイルとを、一定の間隔をもってそれぞれ重ね合わせる手段と、

前記複数の1次コイルに交流の電圧を印加するための手段と、

前記素子基板が有する検査専用回路に設けられた端子において生じる電磁波の情報を収集する手段と、

前記収集した情報から、前記素子基板が有する複数の回路素子のうち、欠陥を有する回路素子を特定する手段と、を備えており、

前記複数の2次コイルの出力は、その電圧の波形が整形されて、前記素子基板が有する複数の回路素子に入力され、前記複数の回路素子の出力は、前記検査専用回路に入力されており、

前記検査専用回路は、前記複数の回路素子の出力のレベルが全て同じであるとき第1のレベルの信号を出力し、前記複数の回路素子の出力のうち、少なくとも1つの出力のレベルが異なっているとき、前記第1のレベルの信号とは異なる第2のレベルの信号を出力する第1の手段と、前記第1の手段からの出力を増幅する第2の手段とを有し、

前記第2の手段からの出力は前記端子に入力されることを特徴とする検査装置。

【請求項24】請求項19乃至請求項23において、前記電磁波の情報を収集する手段とは、電磁波の強さを測定する手段であることを特徴とする検査装置。

【請求項25】請求項11乃至請求項24のいずれか1項において、

前記一定の間隔とは、前記複数の1次コイルが形成された絶縁表面と、前記素子基板との間に気体または液体を流すことで制御していることを特徴とする検査装置。

【請求項26】請求項11乃至請求項25のいずれか1項において、

前記複数の1次コイルが有する配線は同一平面上に形成され、且つ前記配線は渦を巻いていることを特徴とする検査装置。

【請求項27】第1の絶縁表面上に形成された、交流の電圧が印加されている1次コイルと、第2の絶縁表面上に形成された2次コイルとを、一定の間隔をもって重ね合わせ、前記2次コイルに接続されている、前記第2の絶縁表面上に形成された複数の回路素子において生じる電界の情報を収集し、前記収集した情報から、前記素子

基板が有する複数の回路素子のうち、欠陥を有する回路素子を特定することを特徴とする検査方法。

【請求項28】請求項27において、

前記1次コイルが有する配線は同一平面上に形成され、且つ前記配線は渦を巻いていることを特徴とする検査方法。

【請求項29】第1の絶縁表面上に形成された複数の1次コイルと、第2の絶縁表面上に形成された複数の2次コイルとを、一定の間隔をもってそれぞれ重ね合わせ、前記複数の1次コイルに、互いに位相の異なる交流の電圧を印加し、

前記複数の2次コイルにおいて生じた電圧を、整流化した後加算することで、直流の電圧を生成し、

前記直流の電圧を前記第2の絶縁表面上に形成された複数の回路素子に印加し、

前記複数の回路素子において生じる電界の情報を収集し、

前記収集した情報から、前記素子基板が有する複数の回路素子のうち、欠陥を有する回路素子を特定することを特徴とする検査方法。

【請求項30】第1の絶縁表面上に形成された複数の1次コイルと、第2の絶縁表面上に形成された複数の2次コイルとを、一定の間隔をもってそれぞれ重ね合わせ、前記複数の1次コイルに交流の電圧を印加し、

前記複数の2次コイルにおいて生じた電圧から駆動信号を生成し、

前記駆動信号を前記第2の絶縁表面上に形成された複数の回路素子に印加し、

前記複数の回路素子において生じる電界の情報を収集し、

前記収集した情報から、前記素子基板が有する複数の回路素子のうち、欠陥を有する回路素子を特定することを特徴とする検査方法。

【請求項31】第1の絶縁表面上に形成された複数の1次コイルと、第2の絶縁表面上に形成された複数の2次コイルとを、一定の間隔をもってそれぞれ重ね合わせ、前記複数の1次コイルに交流の電圧を印加し、

前記複数の2次コイルにおいて生じた電圧を用い、前記第2の絶縁表面上に形成された波形整形回路において駆動信号を生成し、

前記駆動信号を前記第2の絶縁表面上に形成された複数の回路素子に印加し、

前記複数の回路素子において生じる電界の情報を収集し、

前記収集した情報から、前記素子基板が有する複数の回路素子のうち、欠陥を有する回路素子を特定することを特徴とする検査方法。

【請求項32】第1の絶縁表面上に形成された複数の第1の1次コイルと、第2の絶縁表面上に形成された複数の第1の2次コイルとを、また前記第1の絶縁表面上に

形成された複数の第 2 の 1 次コイルと、第 2 の絶縁表面上に形成された複数の第 2 の 2 次コイルとを、一定の間隔をもってそれぞれ重ね合わせ、

前記複数の第 1 の 1 次コイルに、互いに位相の異なる交流の電圧を印加し、

前記複数の第 1 の 2 次コイルにおいて生じた電圧を、整流化した後加算することで、直流の電圧を生成し、

前記複数の第 2 の 1 次コイルに交流の電圧を印加し、

前記複数の第 2 の 2 次コイルにおいて生じた電圧から駆動信号を生成し、

前記直流の電圧及び前記駆動信号を前記第 2 の絶縁表面上に形成された複数の回路素子に印加し、

前記複数の回路素子において生じる電界の情報を収集し、

前記収集した情報から、前記素子基板が有する複数の回路素子のうち、欠陥を有する回路素子を特定することを特徴とする検査方法。

【請求項 33】第 1 の絶縁表面上に形成された複数の第 1 の 1 次コイルと、第 2 の絶縁表面上に形成された複数の第 1 の 2 次コイルとを、また前記第 1 の絶縁表面上に形成された複数の第 2 の 1 次コイルと、第 2 の絶縁表面上に形成された複数の第 2 の 2 次コイルとを、一定の間隔をもってそれぞれ重ね合わせ、

前記複数の第 1 の 1 次コイルに、互いに位相の異なる交流の電圧を印加し、

前記複数の第 1 の 2 次コイルにおいて生じた電圧を、整流化した後加算することで、直流の電圧を生成し、

前記複数の第 2 の 1 次コイルに交流の電圧を印加し、

前記複数の第 2 の 2 次コイルにおいて生じた電圧を用い、前記第 2 の絶縁表面上に形成された波形整形回路において駆動信号を生成し、

前記直流の電圧及び前記駆動信号を前記第 2 の絶縁表面上に形成された複数の回路素子に印加し、

前記複数の回路素子において生じる電界の情報を収集し、

前記収集した情報から、前記素子基板が有する複数の回路素子のうち、欠陥を有する回路素子を特定することを特徴とする検査方法。

【請求項 34】請求項 27 乃至請求項 33 のいずれか 1 項において、

前記複数の 1 次コイルが有する配線は同一平面上に形成され、且つ前記配線は渦を巻いていることを特徴とする検査方法。

【請求項 35】請求項 27 または請求項 34 において、前記電界の情報を収集する手段とは、電界の強さを測定する手段であることを特徴とする検査方法。

【請求項 36】請求項 35 において、前記電界の強さを測定する手段とは、電気光学素子を備えていることを特徴とする検査方法。

【請求項 37】請求項 36 において、

前記電気光学素子とは、ポッケルス・セルであることを特徴とする検査方法。

【請求項 38】第 1 の絶縁表面上に形成された、交流の電圧が印加されている 1 次コイルと、第 2 の絶縁表面上に形成された 2 次コイルとを、一定の間隔をもって重ね合わせ、前記 2 次コイルに接続されている、前記第 2 の絶縁表面上に形成された複数の回路素子において生じる電磁波の情報を収集し、前記収集した情報から、前記素子基板が有する複数の回路素子のうち、欠陥を有する回路素子を特定することを特徴とする検査方法。

【請求項 39】請求項 38 において、

前記 1 次コイルが有する配線は同一平面上に形成され、且つ前記配線は渦を巻いていることを特徴とする検査方法。

【請求項 40】第 1 の絶縁表面上に形成された複数の 1 次コイルと、第 2 の絶縁表面上に形成された複数の 2 次コイルとを、一定の間隔をもってそれぞれ重ね合わせ、前記複数の 1 次コイルに、互いに位相の異なる交流の電圧を印加し、

20 前記複数の 2 次コイルにおいて生じた電圧を、整流化した後加算することで、直流の電圧を生成し、

前記直流の電圧を前記第 2 の絶縁表面上に形成された複数の回路素子に印加し、

前記複数の回路素子において生じる電磁波の情報を収集し、

前記収集した情報から、前記素子基板が有する複数の回路素子のうち、欠陥を有する回路素子を特定することを特徴とする検査方法。

30 【請求項 41】第 1 の絶縁表面上に形成された複数の 1 次コイルと、第 2 の絶縁表面上に形成された複数の 2 次コイルとを、一定の間隔をもってそれぞれ重ね合わせ、

前記複数の 1 次コイルに交流の電圧を印加し、

前記複数の 2 次コイルにおいて生じた電圧から駆動信号を生成し、

前記駆動信号を前記第 2 の絶縁表面上に形成された複数の回路素子に印加し、

前記複数の回路素子において生じる電磁波の情報を収集し、

40 前記収集した情報から、前記素子基板が有する複数の回路素子のうち、欠陥を有する回路素子を特定することを特徴とする検査方法。

【請求項 42】第 1 の絶縁表面上に形成された複数の 1 次コイルと、第 2 の絶縁表面上に形成された複数の 2 次コイルとを、一定の間隔をもってそれぞれ重ね合わせ、前記複数の 1 次コイルに交流の電圧を印加し、

前記複数の 2 次コイルにおいて生じた電圧を用い、前記第 2 の絶縁表面上に形成された波形整形回路において駆動信号を生成し、

50 前記駆動信号を前記第 2 の絶縁表面上に形成された複数の回路素子に印加し、

前記複数の回路素子において生じる電磁波の情報を収集し、

前記収集した情報から、前記素子基板が有する複数の回路素子のうち、欠陥を有する回路素子を特定することを特徴とする検査方法。

【請求項 4 3】第 1 の絶縁表面上に形成された複数の第 1 の 1 次コイルと、第 2 の絶縁表面上に形成された複数の第 1 の 2 次コイルとを、また前記第 1 の絶縁表面上に形成された複数の第 2 の 1 次コイルと、第 2 の絶縁表面上に形成された複数の第 2 の 2 次コイルとを、一定の間隔をもってそれぞれ重ね合わせ、

前記複数の第 1 の 1 次コイルに、互いに位相の異なる交流の電圧を印加し、

前記複数の第 1 の 2 次コイルにおいて生じた電圧を、整流化した後加算することで、直流の電圧を生成し、

前記複数の第 2 の 1 次コイルに交流の電圧を印加し、

前記複数の第 2 の 2 次コイルにおいて生じた電圧から駆動信号を生成し、

前記直流の電圧及び前記駆動信号を前記第 2 の絶縁表面上に形成された複数の回路素子に印加し、

前記複数の回路素子において生じる電磁波の情報を収集し、

前記収集した情報から、前記素子基板が有する複数の回路素子のうち、欠陥を有する回路素子を特定することを特徴とする検査方法。

【請求項 4 4】第 1 の絶縁表面上に形成された複数の第 1 の 1 次コイルと、第 2 の絶縁表面上に形成された複数の第 1 の 2 次コイルとを、また前記第 1 の絶縁表面上に形成された複数の第 2 の 1 次コイルと、第 2 の絶縁表面上に形成された複数の第 2 の 2 次コイルとを、一定の間隔をもってそれぞれ重ね合わせ、

前記複数の第 1 の 1 次コイルに、互いに位相の異なる交流の電圧を印加し、

前記複数の第 1 の 2 次コイルにおいて生じた電圧を、整流化した後加算することで、直流の電圧を生成し、

前記複数の第 2 の 1 次コイルに交流の電圧を印加し、

前記複数の第 2 の 2 次コイルにおいて生じた電圧を用い、前記第 2 の絶縁表面上に形成された波形整形回路において駆動信号を生成し、

前記直流の電圧及び前記駆動信号を前記第 2 の絶縁表面上に形成された複数の回路素子に印加し、

前記複数の回路素子において生じる電磁波の情報を収集し、

前記収集した情報から、前記素子基板が有する複数の回路素子のうち、欠陥を有する回路素子を特定することを特徴とする検査方法。

【請求項 4 5】請求項 3 8 または請求項 4 4 において、前記電磁波の情報を収集する手段とは、電磁波の強さを測定する手段であることを特徴とする検査方法。

【請求項 4 6】請求項 3 8 乃至請求項 4 5 のいずれか 1

項において、

前記複数の 1 次コイルが有する配線は同一平面上に形成され、且つ前記配線は渦を巻いていることを特徴とする検査方法。

【請求項 4 7】第 1 の絶縁表面上に形成された複数の 1 次コイルと、第 2 の絶縁表面上に形成された複数の 2 次コイルとを、一定の間隔をもってそれぞれ重ね合わせ、前記複数の 1 次コイルに、互いに位相の異なる交流の電圧を印加し、

前記複数の 2 次コイルにおいて生じた電圧を、整流化した後加算することで、直流の電圧を生成し、

前記直流の電圧を前記第 2 の絶縁表面上に形成された複数の回路素子に印加し、

前記複数の回路素子の出力は、検査専用回路に入力されており、

前記検査専用回路が有する端子において生じる電界の情報を収集し、

前記収集した情報から、前記素子基板が有する複数の回路素子のうち、欠陥を有する回路素子を特定することを特徴とする検査方法。

【請求項 4 8】第 1 の絶縁表面上に形成された複数の 1 次コイルと、第 2 の絶縁表面上に形成された複数の 2 次コイルとを、一定の間隔をもってそれぞれ重ね合わせ、前記複数の 1 次コイルに交流の電圧を印加し、

前記複数の 2 次コイルにおいて生じた電圧を用い、前記第 2 の絶縁表面上に形成された波形整形回路において駆動信号を生成し、

前記駆動信号を前記第 2 の絶縁表面上に形成された複数の回路素子に印加し、

前記複数の回路素子の出力は、検査専用回路に入力されており、

前記検査専用回路が有する端子において生じる電界の情報を収集し、

前記収集した情報から、前記素子基板が有する複数の回路素子のうち、欠陥を有する回路素子を特定することを特徴とする検査方法。

【請求項 4 9】請求項 4 7 または請求項 4 8 において、前記検査専用回路は、

前記複数の回路素子の出力のレベルが全て同じであるとき第 1 のレベルの信号を出力し、前記複数の回路素子の出力のうち、少なくとも 1 つの出力のレベルが異なっているとき、前記第 1 のレベルの信号とは異なる第 2 のレベルの信号を出力する第 1 の手段と、

前記第 1 の手段からの出力を増幅する第 2 の手段とを有し、

前記第 2 の手段からの出力は前記端子に入力されることを特徴とする検査方法。

【請求項 5 0】請求項 4 7 乃至請求項 4 9 において、前記電界の情報を収集する手段とは、電界の強さを測定する手段であることを特徴とする検査方法。

【請求項 5 1】請求項 5 0 において、前記電界の強さを測定する手段とは、電気光学素子を備えていることを特徴とする検査方法。

【請求項 5 2】請求項 5 1 において、前記電気光学素子とは、ポッケルス・セルであることを特徴とする検査方法。

【請求項 5 3】第 1 の絶縁表面上に形成された複数の 1 次コイルと、第 2 の絶縁表面上に形成された複数の 2 次コイルとを、一定の間隔をもってそれぞれ重ね合わせ、前記複数の 1 次コイルに、互いに位相の異なる交流の電圧を印加し、前記複数の 2 次コイルにおいて生じた電圧を、整流化した後加算することで、直流の電圧を生成し、前記直流の電圧を前記第 2 の絶縁表面上に形成された複数の回路素子に印加し、前記複数の回路素子の出力は、検査専用回路に入力されており、前記検査専用回路が有する端子において生じる電磁波の情報を収集し、前記収集した情報から、前記素子基板が有する複数の回路素子のうち、欠陥を有する回路素子を特定することを特徴とする検査方法。

【請求項 5 4】第 1 の絶縁表面上に形成された複数の 1 次コイルと、第 2 の絶縁表面上に形成された複数の 2 次コイルとを、一定の間隔をもってそれぞれ重ね合わせ、前記複数の 1 次コイルに交流の電圧を印加し、前記複数の 2 次コイルにおいて生じた電圧を用い、前記第 2 の絶縁表面上に形成された波形整形回路において駆動信号を生成し、前記駆動信号を前記第 2 の絶縁表面上に形成された複数の回路素子に印加し、前記複数の回路素子の出力は、検査専用回路に入力されており、前記検査専用回路が有する端子において生じる電磁波の情報を収集し、前記収集した情報から、前記素子基板が有する複数の回路素子のうち、欠陥を有する回路素子を特定することを特徴とする検査方法。

【請求項 5 5】請求項 5 3 または請求項 5 4 において、前記検査専用回路は、前記複数の回路素子の出力のレベルが全て同じであるとき第 1 のレベルの信号を出力し、前記複数の回路素子の出力のうち、少なくとも 1 つの出力のレベルが異なっているとき、前記第 1 のレベルの信号とは異なる第 2 のレベルの信号を出力する第 1 の手段と、前記第 1 の手段からの出力を増幅する第 2 の手段とを有し、前記第 2 の手段からの出力は前記端子に入力されることを特徴とする検査方法。

【請求項 5 6】請求項 5 3 乃至請求項 5 5 において、前記電磁波の情報を収集する手段とは、電磁波の強さを測

定する手段であることを特徴とする検査方法。

【請求項 5 7】請求項 4 7 乃至請求項 5 6 のいずれか 1 項において、前記複数の 1 次コイルが有する配線は同一平面上に形成され、且つ前記配線は渦を巻いていることを特徴とする検査方法。

【請求項 5 8】請求項 2 7 乃至請求項 5 7 のいずれか 1 項において、前記一定の間隔とは、前記第 1 の絶縁表面と、前記第 2 の絶縁表面との間に気体または液体を流すことで制御していることを特徴とする検査方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置が有する素子基板の検査装置及びそれを用いた検査方法に関する。より具体的には、非接触型の検査装置及びそれを用いた検査方法に関する。

【0002】

【従来の技術】近年、絶縁表面を有する基板上に形成された半導体膜（厚さ数～数百 nm 程度）を用いて薄膜トランジスタ（TFT）を構成する技術が注目されている。その理由は、半導体装置の一つであるアクティブマトリクス型の半導体表示装置の需要が高まってきたことによる。アクティブマトリクス型の半導体表示装置には、代表的には液晶ディスプレイ、OLED（Organic Light Emitting Device）ディスプレイ、DMD（Digital Micromirror Device）が含まれる。

【0003】活性層に結晶構造を有する半導体膜を用いた TFT（結晶質 TFT）は高い移動度が得られることから、同一基板上に機能回路を集積させて高精細な画像表示を行うアクティブマトリクス型の半導体表示装置を実現することが可能である。

【0004】ところで、アクティブマトリクス型の半導体表示装置は、様々な製造工程を経て完成する。例えばアクティブマトリクス型の液晶ディスプレイの場合、半導体膜の成膜とパターン形成を行なうパターン形成工程と、カラー化を実現するためのカラーフィルタ形成工程と、半導体を含む素子を有する素子基板と、対向電極を有する対向基板との間に液晶を封入して液晶パネルを形成するセル組立工程と、セル組立工程において組み立てられた液晶パネルに、該液晶パネルを動作させるための駆動部品やバックライトを取り付け、液晶ディスプレイとして完成させるモジュール組み立て工程とを、主に有している。

【0005】そして液晶ディスプレイの種類によって多少の違いはあるが、上記各工程には、検査工程が含まれる。製品として完成する前に、工程の早い段階で不良品を見分けることができれば、そのパネルに関しては後の工程を省略することが可能である。よって検査工程は、コスト削減という観点から見て、非常に有効な手段であ

る。

【0006】

【発明が解決しようとする課題】パターン形成工程に含まれる検査工程の1つに、パターン形成後の欠陥検査がある。

【0007】パターン形成後の欠陥検査とは、パターン形成した後、半導体膜、絶縁膜または配線のパターン（以下、単にパターンと呼ぶ）の幅のばらつきによって動作不良が生じている箇所や、ゴミまたは成膜不良によって、配線が断線またはショートしている箇所を検出し、検査対象である回路または回路素子が正常に動作するかどうかを確認するための検査である。

【0008】このような欠陥検査は、主に光学式検査方法と、プローブ検査方法とに大別される。

【0009】光学式検査方法は、基板上に形成されたパターンをCCD等で読み取り、基準となるパターンと比較して欠陥を識別する検査方法である。また、プローブ検査方法は、基板側の端子に微細なピン（プローブ）を立てて、プローブ間の電流または電圧の大きさによって欠陥を識別する検査方法である。一般的に、前者は非接触型検査方法と呼ばれ、後者は触針型検査方法と呼ばれる。

【0010】上記いずれの方法を用いても、素子基板の欠陥を検出することが可能である。しかし、上記各検査方法にはそれぞれ短所がある。

【0011】光学式検査方法は、何層ものパターンの形成が終了した後に検査を行なうと、下層に形成されたパターンを識別するのが困難であるため、欠陥箇所の検出が難しい。かといって、パターンを形成するたびに検査を行なうと、検査工程自体が煩雑になり、製造工程全体にかかる時間も長くなってしまふ。また、プローブ検査方法では、配線に直接プローブを立てるため、配線に傷がついて微細なゴミが生じることがある。検査工程において生じたゴミは、後の工程の歩留まりを低下させる原因になり、好ましくない。

【0012】上記問題に鑑み、本発明では、配線にプローブを立てないで済む、より簡便な検査方法の確立、及び該検査方法を用いる検査装置の提供を課題とする。

【0013】

【課題を解決するための手段】本発明者は、プローブを立てなくても、電磁誘導によって素子基板の配線に起電力を生じさせることで、該配線に電流を流すことができるのではないかと考えた。

【0014】具体的には、素子基板を検査するための、検査用の基板（検査用基板）を別途用意する。該検査用基板は1次コイルを有しており、検査対象とである素子基板は、2次コイルを有している。

【0015】なお、1次コイルと2次コイルはともに、基板上に成膜した導電膜をパターンニングすることで形成する。そして、従来の磁性体を設けたコイルも可能であ

るが、本発明において1次コイル及び2次コイルは、中心に磁性体を設けて磁路としたコイルではなく、中心に磁性体を設けないコイルを用いた。

【0016】そして、検査用基板が有する1次コイルと、素子基板が有する2次コイルを一定の間隔を空けて重ね合わせ、1次コイルが有する2つの端子間に交流の電圧を印加することで、2次コイルが有する2つの端子間に起電力を生じさせる。なおこの間隔は小さいほど望ましく、1次コイルと2次コイル形成部は、間隔の制御が可能な限り近づけたほうが良い。

【0017】そして、2次コイルに生じた起電力である交流の電圧を、素子基板において整流化した後適当に平滑化することで、素子基板が有する回路または回路素子を駆動させるための直流の電圧（以下、電源電圧と呼ぶ）として用いることが可能である。また、2次コイルに生じた起電力である交流の電圧を、波形整形回路等で適当にその電圧の波形を整形することで、素子基板が有する回路または回路素子を駆動させるための信号（以下、駆動信号と呼ぶ）として用いることが可能である。

【0018】そして、この駆動信号または電源電圧が、素子基板の有する配線に入力されるようにする。

【0019】基板上に形成された回路または回路素子は、引きまわし配線に入力された駆動信号または電源電圧によって駆動する。回路または回路素子が駆動すると、回路または回路素子において微弱な電磁波、または電界が生じる。この微弱な電磁波または電界が有する情報をモニターすることで、多数の回路または回路素子の中から、正常に動作していない箇所を検出することが可能である。

【0020】なお、電磁波または電界が有する情報は、周波数、位相、強度、時間など、様々な次元において収集することが可能である。本発明においては、多数の回路または回路素子の中から、正常に動作していない箇所を検出することが可能であるのならば、電磁波または電界が有する情報のうち、どのような情報でも利用することが可能である。

【0021】なお回路または回路素子において生じる微弱な電磁波、または電界のモニターの仕方は、公知の方法を用いることができる。

【0022】本発明は上記構成によって、配線に直接プローブを立てなくても欠陥箇所を検出することができるので、プローブを立てることで生じた微細なゴミにより、後の工程の歩留まりを低下させるのを防ぐことができる。なおかつ、光学式検査方法と異なり、1回の検査工程で全てのパターン形成工程の良否を判断することができるので、検査工程がより簡便化される。

【0023】

【発明の実施の形態】図1（A）に、本発明の検査を行なうための検査基板の上面図を示す。また、図1（B）に検査方法において検査される素子基板の上面図を示

す。なお本実施の形態では、液晶ディスプレイが有する素子基板を例にとって、本発明の検査方法について説明するが、本発明の検査方法は、液晶ディスプレイに限って用いることができるわけではなく、半導体を用いて形成された半導体装置であるならば、どれでも用いることが可能である。

【0024】図1(A)に示した検査基板は、基板100上に、1次コイル形成部101、外部入力用バッファ102、コネクタ接続部103が設けられている。なお本明細書において検査基板とは、基板100と、基板100上に形成された回路または回路素子全てを含んでいる。

【0025】図1(B)に示した素子基板は、基板110上に、信号線駆動回路111、走査線駆動回路112、画素部113、引きまわし配線114、コネクタ接続部115、波形整形回路または整流回路116、2次コイル形成部117、コイル用配線118が設けられている。なお本明細書において素子基板とは、基板110と、基板110上に形成された回路または回路素子全てを含んでいる。なお、引きまわし配線114は、素子基板が有する画素部と駆動回路に駆動信号や電源電圧を供給するための配線である。

【0026】コネクタ接続部115には、検査工程の後の工程において、FPCまたはTAB等が接続される。なお、素子基板は検査工程終了後、コイル用配線118が物理的及び電氣的に切り離されるように、点線A-A'において切断される。

【0027】次に、検査工程における素子基板と検査基板の動作について説明する。なお検査工程における信号の流れを分かり易くするために、図1で示した素子基板と検査基板の構成を、図2にブロック図で示し、図1及び図2を参照して説明する。

【0028】検査基板203において、信号源201または交流電源202から、コネクタ接続部103に接続されるコネクタを介して、外部入力用バッファ102に検査用の交流の信号が入力される。検査用の交流の信号は、外部入力用バッファ102において緩衝増幅され、1次コイル形成部101に入力される。

【0029】なお、図1(A)及び図2では、入力された交流の信号を、外部入力用バッファ102において緩衝増幅してから、1次コイル形成部101に入力するが、本発明はこの構成に限定されない。外部入力用バッファ102を設けずに、直接交流の信号を1次コイル形成部101に入力しても良い。

【0030】1次コイル形成部101には、複数の1次コイルが形成されている。各1次コイルに交流の信号が入力される。

【0031】一方、素子基板204が有する2次コイル形成部117には、1次コイル形成部101が有する複数の1次コイルに対応した複数の2次コイルが形成され

ている。1次コイルに交流の信号が入力されると、電磁誘導により、各2次コイルが有する2つの端子間に起電力である交流の電圧が生じる。

【0032】2次コイルにおいて発生した交流の電圧は、波形整形回路116aまたは整流回路116bに供給される。波形整形回路116aまたは整流回路116bでは、該交流の電圧を整形または整流化し、駆動信号または電源電圧を生成する。

【0033】生成された駆動信号または電源電圧は、コイル用配線118を介して引きまわし配線114に入力される。入力された駆動信号または電源電圧等は、引きまわし配線114を介して信号線駆動回路111、走査線駆動回路112、画素部113に供給される。

【0034】なお画素部113には複数の画素が形成されており、各画素には画素電極が形成されている。なお、信号線駆動回路及び走査線駆動回路は、図1(A)及び図2に示した数に限定されない。

【0035】駆動信号または電源電圧等が信号線駆動回路111、走査線駆動回路112、画素部113に入力されると、信号線駆動回路111、走査線駆動回路112及び画素部113が有する各回路または回路素子において、電磁波または電界が生じる。

【0036】欠陥を有する回路または回路素子において生じる電界及び電磁波の強さは、正常な回路または回路素子において生じる電界及び電磁波の強さと著しく異なる。よって、各回路または回路素子において生じた電磁波及び電界の強度をモニターすることで、欠陥の生じている箇所を突き止めることができる。図2では、検査部205において電界または電磁波の強度を測定し、欠陥箇所を検出している。

【0037】また、検査対象である全ての回路の出力を、検査専用の回路（以下、検査専用回路）に入力し、該検査専用回路において生じる電界または電磁波の強度を測定することで、欠陥の有無を特定したり、欠陥箇所そのものを特定したりしても良い。

【0038】検査専用回路を用いる場合、画素部に実際の表示には用いない検査専用の画素（ダミー画素）を設け、検査専用の画素において回路または回路素子の出力を検査専用回路に入力するようにしても良い。これは画素部に限られず、素子基板が有する全ての回路または回路素子の出力を、検査専用回路に入力する必要はなく、回路または回路素子のいくつかを選択し、その出力を検査専用回路に入力するようにしても良い。また、実際の駆動には用いないダミーの検査専用の回路または回路素子を形成し、該検査専用の回路または回路素子の出力を検査専用回路に入力するようにしても良い。

【0039】なお、電磁波及び電界をモニターする方法は、回路または回路素子の欠陥を検出することができる程度の感度を有しているならば、どのような方法を用いても良い。

【0040】次に、1次コイル形成部及び2次コイル形成部（以下、コイル形成部と総称する）の詳しい構成について説明する。図3にコイルの拡大図を示す。

【0041】図3（A）に示したコイルは、曲線を描いて渦を巻いた状態になっており、コイルの両端にはコイル用端子301、302が形成されている。また、図3（B）に示したコイルは矩形を描いて渦を巻いた状態になっており、コイルの両端にはコイル用端子303、304が形成されている。

【0042】なお、本発明で用いるコイルは、コイルが有する配線全体が同一平面上に形成され、且つコイルが有する配線が渦を巻いていれば良い。よって、コイルが形成されている平面に対して垂直の方向から見たときに、コイルの有する配線が曲線を描いていても、角のある形を描いていても良い。

【0043】また、コイルの巻数、線幅及び基板上に占める面積は、設計者が適宜設定することができる。

【0044】次に、図3（A）に示したコイルを1次コイルとして有する素子基板と、同じく図3（A）に示したコイルを2次コイルとして有する検査基板とを重ね合わせた様子を、図4（A）に示す。なお205は、検査基板203と信号源及び交流電源とを接続するFPCである。

【0045】図4（A）に示すとおり、検査基板203が有する1次コイル形成部101と、素子基板204が有する2次コイル形成部117は、一定の間隔を空けて重なっている。なおこの間隔は小さいほど望ましく、1次コイル形成部101と、素子基板204が有する2次コイル形成部117は、間隔の制御が可能な限り近づけたほうが良い。

【0046】なお、検査基板203と素子基板204の間隔は、両基板を固定することで保つようにしても良いし、素子基板204を固定し、検査基板203と素子基板204の間に一定の流量または圧力の気体または液体を流すことで、保つようにしても良い。

【0047】1次コイル形成部101と2次コイル形成部117とが重なっている部分の拡大図を、図4（B）に示す。206は1次コイルであり、207は2次コイルを示している。

【0048】1次コイル206と2次コイル207は、配線の渦の巻く方向が同一になっているが、本発明はこの構成に限定されない。1次コイルと2次コイルの渦の巻く方向が逆であっても良い。

【0049】また1次コイルと、2次コイルの間隔（L₁₁）も設計者が適宜設定することができる。

【0050】次に、図2に示した波形整形回路116aの詳しい構成について説明する。

【0051】図5に、図1及び図2で示した信号源201、1次コイル形成部101、2次コイル形成部117、波形整形回路116aの接続の様子を示す。1次コ

イル形成部101には、複数の1次コイル206が設けられている。2次コイル形成部117には、複数の2次コイル207が設けられている。

【0052】各1次コイル206には、信号源201から検査用の交流の信号が入力されている。1次コイル206に交流信号が入力されると、対応する2次コイル207に起電力である交流の電圧が生じ、該交流の電圧が波形整形回路116aに印加される。

【0053】波形整形回路116aは、時間的に変化する量、すなわち電圧や電流等の波形を形成したり、整形したりするために用いる電子回路である。図5では、抵抗501、502、コンデンサ503を有し、各回路素子を組み合わせて積分型波形整形回路116aを構成している。むろん波形整形回路は図5に示した構成に限られない。また、電源回路と同様に、ダイオードを用いた検波回路を使用し、波形整形を行なっても良い。本発明で用いる波形整形回路116aは、入力された交流の起電力から、具体的にはクロック信号（CLK）、スタートパルス信号（SP）、ビデオ信号（Video Signals）を生成し、出力する。なお、波形整形回路116aから出力される信号は上述したものに限定されず、モニターすることで欠陥箇所を特定できる電磁波または電界を、素子基板が有する回路または回路素子において生じさせることができる信号であれば、どのような波形の信号であっても良い。

【0054】波形整形回路116aから出力された信号は、後段の回路（図1及び図2では、信号線駆動回路111、走査線駆動回路112、画素部113）に入力される。

【0055】次に、図2に示した整流回路116bの詳しい構成について説明する。

【0056】図6に、図1及び図2で示した交流電源202、1次コイル形成部101、2次コイル形成部117、整流回路116bの接続の様子を示す。1次コイル形成部101には、複数の1次コイル206が設けられている。2次コイル形成部117には、複数の2次コイル207が設けられている。

【0057】各1次コイル206には、交流電源202から検査用の交流の信号が入力されている。1次コイル206に交流の信号が入力されると、対応する2次コイル207に起電力である交流の電圧が生じ、該交流の電圧が整流回路116bに印加される。

【0058】なお、本発明において整流回路とは、供給された交流の電圧から直流の電源電圧を生成する回路を意味する。なお直流の電源電圧とは、一定の高さに保たれた電圧を意味する。

【0059】図6で示した整流回路116bでは、ダイオード601と、コンデンサ602と、抵抗603とを有している。ダイオード601は入力された交流の電圧を整流化し、直流の電圧に変換する。

【0060】図7(A)に、ダイオード601において整流化される前の、交流の電圧の時間変化を示す。また、図7(B)に、整流化された後の電圧の時間変化を示す。図7(A)のグラフと図7(B)のグラフを比較してわかるように、整流化された後は、半周期毎に、電圧が0または一方の極性を有する値をとる、いわゆる脈流の電圧になっている。

【0061】図7(B)に示した脈流の電圧は、電源電圧として用いることができない。そこで通常では、コンデンサにおいて電荷を蓄えることによって、脈流を平滑化して直流の電圧に変換している。しかし、薄膜の半導体を用いて、脈流を十分に平滑化させることができる、大容量のコンデンサを形成するには、コンデンサ自体の面積が非常に大きくなり、現実的ではない。そこで、本発明では、整流化した後に位相の異なる脈流の電圧を合成(加算)し、電圧を平滑化する。上記構成により、コンデンサの容量が小さくても脈流を十分に平滑化させることができ、さらには、コンデンサを積極的に設けなくとも、脈流を十分に平滑化させることができる。

【0062】図6では4つの1次コイルに、それぞれ位相の異なる交流の信号を入力することで、4つのダイオード601から位相の異なる4つの脈流の電圧を出力するようにする。そして、上記4つの脈流の電圧が加算されて、高さがほぼ一定に保たれた直流の電源電圧が生成され、後段の回路に出力される。

【0063】なお図6では、4つのダイオード601から出力される、位相の異なる4つの脈流の信号を加算することで、電源電圧を生成していたが、本発明はこの構成に限定されない。位相分割の数はこれに限定されず、整流回路からの出力を、電源電圧として用いることができるぐらい平滑化することが可能であれば、位相分割の数は幾つでも良い。

【0064】図8に、複数の整流化された信号を加算することで得られる、電源電圧の時間変化を示す。図8(A)は、4つの位相の異なる脈流の電圧を加算することで、1つの電源電圧が生成されている例を示している。

【0065】なお電源電圧は複数の脈流を加算して生成されるため、直流以外の成分であるリップルが存在している。リップルとは電源電圧の最も高い電圧と最も低い電圧との差に相当する。リップルが小さければ小さいほど、電源電圧は直流に近づく。

【0066】図8(B)に、8つの位相の異なる脈流の電圧を加算することで得られる、電源電圧の時間変化を示す。図8(A)に示した電源電圧の時間変化と比較して、リップルが小さくなっていることがわかる。

【0067】図8(C)に、16つの位相の異なる脈流の電圧を加算することで得られる、電源電圧の時間変化を示す。図8(B)に示した電源電圧の時間変化と比較して、リップルが小さくなっていることがわかる。

【0068】このように、多くの位相の互いに異なる脈流を加算することで、電源電圧のリップルが小さくなり、より直流化されることがわかる。よって、位相分割の数が多ければ多いほど、整流回路から出力される電源電圧が平滑化されやすい。また、コンデンサ602の容量が大きければ大きいほど、整流回路から出力される電源電圧が平滑化されやすい。

【0069】整流回路116bにおいて生成された電源電圧は、端子610、611から出力される。具体的には、端子610からグラウンドに近い電圧が出力され、端子611からは正の極性を有する電源電圧が出力される。なお、ダイオードの陽極と陰極を逆に接続することで、出力される電源電圧の極性を逆にすることができる。端子610、611に接続されているダイオード602は、端子612、613に接続されているダイオード601に対して、陽極と陰極が逆に接続されている。よって、端子612から0に近い電圧が出力され、端子613からは負の極性を有する電源電圧が出力される。

【0070】なお、素子基板には様々な回路または回路素子が形成されており、各回路または回路素子の種類または用途によって、回路または回路素子に供給すべき電源電圧の高さが異なる。図6に示した整流回路では、入力する交流の信号の振幅を調整することで、各端子にに入力される電圧の高さを調整することができる。さらに、回路または回路素子によって接続する端子を変えることで、回路または回路素子に供給される電源電圧の高さを調整することができる。

【0071】本発明で用いる整流回路は、図6に示した構成に限定されない。本発明で用いる整流回路は、入力された交流の信号から直流の電源電圧を生成することができる回路であれば良い。

【0072】本実施の形態では、駆動回路である信号線駆動回路と走査線駆動回路を、素子基板が有している例について説明したが、本発明で検査する素子基板はこれに限定されない。素子基板が画素部のみを有している場合でも、本発明の検査方法を用いて検査することが可能である。また、TEGと称される単体素子または該単体素子を複合化した評価回路においても、本発明の検査方法及び検査装置を用いて欠陥を検査することが可能である。

【0073】また、本実施の形態では液晶ディスプレイが有する素子基板の検査方法について説明したが、液晶ディスプレイ以外の半導体表示装置においても、本実施の形態で示した検査方法を用いて検査することが可能である。また半導体表示装置に限られず、基板上に形成された半導体の特性を利用した半導体装置であれば、本発明の検査方法を用いて検査することが可能である。なお、半導体装置には、ガラス基板上に成膜された半導体薄膜を用いた半導体装置であっても良いし、単結晶のシリコン基板上に形成された半導体装置であっても良い。

【0074】ただし半導体装置の種類及び規格に合わせて、1次コイルと2次コイルの数及び設計を適宜設定する必要がある。また、1次コイル形成部に入力する検査用の交流の信号の波形、周波数及び振幅も、半導体装置の種類及び規格に合わせて適宜設定する必要がある。

【0075】本発明は上記構成によって、配線に直接プローブを立てなくても欠陥箇所を検出することができるので、プローブを立てることで生じた微細なゴミにより、後の工程の歩留まりを低下させるのを防ぐことができる。なおかつ、光学式検査方法と異なり、1回の検査工程で全てのパターン形成工程の良否を判断することができるので、検査工程がより簡便化される。

【0076】

【実施例】以下に、本発明の実施例について説明する。

【0077】（実施例1）本実施例では、検査工程において回路または回路素子において生じる電界を、電気光学効果を利用して検出する例について説明する。具体的に本実施例では、ポッケルス・セルを用いて測定する例について説明する。

【0078】ポッケルス・セルとは、電気光学効果の1つであるポッケルス効果を用いた電気光学素子の1つである。なお電気光学素子とは、電界がかかると屈折率が変化する電気光学効果を利用した素子である。この性質を利用し、結晶に交流電圧やパルス電圧を加えて、光の変調やシャッター、円偏光の発生や検出に用いることができる。

【0079】図9（A）に、液晶ディスプレイの素子基板901と、ポッケルス・セル909とを重ね合わせている様子を示す。

【0080】素子基板901は、2次コイル形成部902、走査線駆動回路903、画素部904、信号線駆動回路905を有している。そして2次コイル形成部902において生じた交流の電圧によって、走査線駆動回路903、画素部904、信号線駆動回路905に、それぞれ検査用の駆動信号及び電源電圧が入力されている。

【0081】ポッケルス・セル909は、第1電極906、第2電極907、強誘電体結晶であるポッケルス結晶908を有している。第1電極906と第2電極907の間にポッケルス結晶908が挟まれており、なおかつ第1電極906と第2電極907が、ポッケルス結晶908の光軸方向に対して垂直になるように配置されている。

【0082】第1電極906及び第2電極907は、光を透過する導電性の材料で形成する。図9（A）では酸化インジウム・スズ（ITO）を用いているが、本発明において第1電極及び第2電極の材料は、これに限定されない。

【0083】第1電極906には一定の電圧が印加されている。なお図9（A）では、第1電極906をグラウンドにおとしている。そして、第1電極906及び第2

電極907は、素子基板901と並行に、なおかつ第2電極907側に素子基板901が配置されている。なお、第2電極907は素子基板901と接するように配置してもよいし、一定の間隔を空けて配置するようにしても良い。また、第2電極907と素子基板901の間に、緩衝材となるものを挟むようにしても良い。

【0084】また図9（A）では、ポッケルス・セル909を、画素部904と重なるように配置している。図9（A）において、矢印の方向から見えるポッケルス・セル909の様子を、図9（B）に示す。

【0085】画素部904には複数の信号線910、走査線911が形成されており、信号線910と走査線911によって囲まれている領域が、画素912に相当する。各画素912（912a、912b）には、画素電極913（913a、913b）が設けられている。

【0086】各画素912のうち、欠陥が生じていない正常な画素を912a、欠陥が生じている画素を912bとすると、ポッケルス・セル909の、画素電極913aと重なっている部分と、画素電極913bと重なっている部分とでは、矢印の方向における光の透過率が異なる。

【0087】これは、ポッケルス・セルが有する強誘電体結晶の光軸に対して垂直になるように素子基板を配置すると、回路または回路素子において生じる電界により、強誘電体結晶において複屈折が生じるためである。

【0088】この複屈折の、電界方向成分をもつ偏光に対する屈折率は、電界の強さによって決まる。よって、同じ構造を有し、なおかつ正常に動作している複数の回路または回路素子においては、同じ強さの電界が生じているため、各回路または回路素子と重なる部分における強誘電体結晶の屈折率は、ほぼ等しくなる。

【0089】しかし、欠陥のある回路または回路素子において生じる電界は、他の正常な回路または回路素子において生じる電界に比べて、強かったり弱かったりする。よって、欠陥のある回路または回路素子と重なる部分における強誘電体結晶の屈折率は、他の正常な回路または回路素子と重なる部分における強誘電体結晶の屈折率と異なる。よって、ポッケルス・セルを通して素子基板を見たときに、欠陥のある回路または回路素子と重なる部分が、正常な回路または回路素子と重なる部分に比べて、明るく見えたり、暗く見えたりする。

【0090】よって、各画素の、素子基板に対して垂直な方向における光を、偏光ビームスプリッターなどの光学系を用いて分離し、その強度をモニターすることで、ポッケルスセルの透過率を算出し、欠陥箇所を検出することが可能である。図9（B）では、画素912bにおいて何らかの欠陥が生じていることがわかる。なお、複数回にわたるモニターの結果に何らかの演算処理を施し、欠陥箇所を検出するようにしても良い。

【0091】また、検査対象である全ての回路の出力を

検査専用回路に入力し、該検査専用回路において生じる電界の強度を、電気光学素子を用いて測定することで、欠陥の有無を特定したり、欠陥箇所そのものを特定したりしても良い。検査専用回路を用いることで、検査対象である全ての回路または回路素子において、いちいちポッケルス・セルを用いてモニターする必要がなくなり、検査工程を簡便化及び迅速化することができる。

【0092】なお本実施例では、画素部904の欠陥を検出する例について説明したが、本実施例はこれに限定されない。ポッケルス・セル909と、走査線駆動回路903や信号線駆動回路905を重ね合わせ、屈折率をモニターすることで、同じように欠陥箇所を検出することが可能である。また素子基板上の引きまわし配線において生じる断線やショートなどの欠陥も、同様に検出することが可能である。

【0093】なお、ポッケルス結晶として、主に、 $\text{NH}_4\text{H}_2\text{PO}_4$ 、 BaTiO_3 、 KH_2PO_4 (KHP)、 KD_2PO_4 (KDP)、 LiNbO_3 、 ZnO などの結晶を用いることができる。しかし本実施例で用いることができるポッケルス結晶は上述したものに限定されない。ポ

ツケルス効果を有する結晶であれば良い。

【0094】また本実施例では、ポッケルス・セルを用いたが、電界の大きさを感じ取るための電気光学素子はこれに限定されない。電圧の印加により、その光学的特性が変化するという現象を利用した電気光学素子であれば、本発明の検査方法または検査装置に用いることが可能である。よって、液晶などを用いることも可能である。

【0095】(実施例2) 本実施例では、検査用の駆動信号及び電源電圧について、液晶ディスプレイとOLE

Dディスプレイの場合を例にとって、より詳しく説明する。

【0096】1次コイルと2次コイルの数は、素子基板の画素部と駆動回路の構造によって変わってくるため、各素子基板の規格に合わせて数を設定することが肝要である。

【0097】図10に、一般的な液晶ディスプレイの、素子基板の構成を示す。図10に示した素子基板は、信号線駆動回路700、走査線駆動回路701、画素部702を有している。

【0098】画素部702には、複数の信号線と複数の走査線が形成されており、信号線と走査線で囲まれた領域が画素に相当する。なお、図10では複数の画素のうち、1つの信号線703と、1つの走査線704とを有する画素のみを代表的に示した。各画素はスイッチング素子となる画素TFTと、液晶セルの画素電極706を有している。

【0099】画素TFT705のゲート電極は走査線704に接続されている。そして画素TFT705のソース領域とドレイン領域は、一方は信号線703に、もう

一方は画素電極706に接続されている。

【0100】信号線駆動回路700は、シフトレジスタ710、レベルシフタ711、アナログスイッチ712を有している。シフトレジスタ710、レベルシフタ711及びアナログスイッチ712には、電源電圧(Power supply)が与えられている。また、シフトレジスタ710には信号線駆動回路用のクロック信号(S-CLK)とスタートパルス信号(S-SP)が与えられている。アナログスイッチ712にはビデオ信号(Video signals)が与えられている。

【0101】シフトレジスタ710にクロック信号(S-CLK)とスタートパルス信号(S-SP)が入力されると、ビデオ信号のサンプリングのタイミングを決定するサンプリング信号が生成され、レベルシフタ711に入力される。サンプリング信号は、レベルシフタ711においてその電圧の振幅を大きくされ、アナログスイッチ712に入力される。アナログスイッチ712では、入力されたサンプリング信号に同期して、入力されたビデオ信号をサンプリングし、信号線703に入力する。

【0102】一方、走査線駆動回路は、シフトレジスタ721と、バッファ722を有している。シフトレジスタ721、バッファ722には、電源電圧(Power supply)が与えられている。また、シフトレジスタ721には走査線駆動回路用のクロック信号(G-CLK)とスタートパルス信号(G-SP)が与えられている。

【0103】シフトレジスタ721にクロック信号(G-CLK)とスタートパルス信号(G-SP)が入力されると、走査線の選択のタイミングを決定する選択信号が生成され、バッファ722に入力される。バッファ722に入力された選択信号は、緩衝増幅されて走査線704に入力される。

【0104】走査線704が選択されると、選択された走査線704にゲート電極が接続された画素TFT705がオンになる。そして、信号線に入力されたサンプリングされたビデオ信号が、オンになっている画素TFT705を介して、画素電極706に入力される。

【0105】このように、信号線駆動回路700と、走査線駆動回路701と、画素部702が動作すると、各回路または回路素子において電界または電磁波が発生する。この電界または電磁波を何らかの手段を用いてモニターすることで、欠陥箇所を検出することができる。

【0106】図10に示した素子基板の場合、S-CLK、S-SP、G-CLK、G-SP及びビデオ信号を、検査用の駆動信号として各回路に入力している。なお、検査用の駆動信号は、上述した信号に限定されない。駆動に関わる信号ならば、検査用の駆動信号として用いることが可能である。例えば、上述した信号の他に、走査線の走査方向を切りかえるタイミングを決定す

る信号や、走査線への選択信号の入力方向を切りかえる信号などを入力しても良い。ただし、検査したい回路において、回路または回路素子の欠陥の有無が検出できるような信号を入力することが肝要である。

【0107】また、素子基板が有する全ての回路を検査するのではなく、その中の一部の回路を検査対象とする場合、該回路の欠陥部分を検出することが可能であるならば、上述した全ての駆動信号を入力する必要はない。例えば、信号線駆動回路700が有するシフトレジスタ710のみを検査対象とすると、検査用の駆動信号であるS-CLK、S-SPと、シフトレジスタ710用の検査用の電源電圧のみを、波形整形回路と整流回路において生成し、シフトレジスタ710に入力すれば良い。

【0108】次に、図11に、一般的なOLEDディスプレイの、素子基板の構成を示す。なお、図11ではデジタルのビデオ信号を用いて画像を表示するOLEDディスプレイの駆動回路を例に説明する。図11に示した素子基板は、信号線駆動回路800、走査線駆動回路801、画素部802を有している。

【0109】画素部802には、複数の信号線と、複数の走査線と、複数の電源線が形成されており、信号線と走査線と電源線とで囲まれた領域が画素に相当する。なお、図11では複数の画素のうち、1つの信号線807と、1つの走査線809と、1つの電源線808を有する画素のみを代表的に示した。各画素はスイッチング素子となるスイッチング用TFT803と、駆動用TFT804と、保持容量805と、OLEDの画素電極806を有している。

【0110】スイッチング用TFT803のゲート電極は走査線809に接続されている。そしてスイッチング用TFT803のソース領域とドレイン領域は、一方は信号線807に、もう一方は駆動用TFT804のゲート電極に接続されている。

【0111】駆動用TFT804のソース領域とドレイン領域は、一方は電源線808に、もう一方は画素電極806に接続されている。そして、駆動用TFT804のゲート電極と電源線808とで保持容量805が形成されている。なお保持容量805は必ずしも形成する必要はない。

【0112】信号線駆動回路800は、シフトレジスタ810、第1ラッチ811、第2ラッチ812を有している。シフトレジスタ810、第1ラッチ811及び第2ラッチ812には、それぞれ電源電圧(Power supply)が与えられている。また、シフトレジスタ810には信号線駆動回路用のクロック信号(S-CLK)とスタートパルス信号(S-SP)が与えられている。第1ラッチ811にはラッチのタイミングを決定するラッチ信号(Latch signals)とビデオ信号(Video signals)が与えられてい

る。

【0113】シフトレジスタ810にクロック信号(S-CLK)とスタートパルス信号(S-SP)が入力されると、ビデオ信号のサンプリングのタイミングを決定するサンプリング信号が生成され、第1ラッチ811に入力される。

【0114】なお、シフトレジスタ810からのサンプリング信号を、バッファ等によって緩衝増幅してから、第1ラッチ811に入力するようにしても良い。サンプリング信号が入力される配線には、多くの回路あるいは回路素子が接続されているために負荷容量(寄生容量)が大きい。この負荷容量が大きいために生ずるタイミング信号の立ち上がりまたは立ち下がりの"鈍り"を防ぐために、このバッファは有効である。

【0115】第1ラッチ811は複数のステージのラッチを有している。第1ラッチ811では、入力されたサンプリング信号に同期して、入力されたビデオ信号をサンプリングし、各ステージのラッチに順に記憶していく。

【0116】第1ラッチ811の全てのステージのラッチにビデオ信号の書き込みが一通り終了するまでの時間を、ライン期間と呼ぶ。実際には、上記ライン期間に水平帰線期間が加えられた期間をライン期間に含むことがある。

【0117】1ライン期間が終了すると、第2ラッチ812にラッチ信号が入力される。この瞬間、第1ラッチ811に書き込まれ保持されているビデオ信号は、第2ラッチ812に一斉に送出され、第2ラッチ812の全ステージのラッチに書き込まれ、保持される。

【0118】ビデオ信号を第2ラッチ812に送出し終えた第1ラッチ811には、シフトレジスタ810からのサンプリング信号に基づき、ビデオ信号の書き込みが順次行われる。

【0119】この2順目の1ライン期間中には、第2ラッチ812に書き込まれ、保持されているビデオ信号がソース信号線に入力される。

【0120】一方、走査線駆動回路は、シフトレジスタ821と、バッファ822を有している。シフトレジスタ822、バッファ822には、電源電圧(Power supply)が与えられている。また、シフトレジスタ821には走査線駆動回路用のクロック信号(G-CLK)とスタートパルス信号(G-SP)が与えられている。

【0121】シフトレジスタ821にクロック信号(G-CLK)とスタートパルス信号(G-SP)が入力されると、走査線の選択のタイミングを決定する選択信号が生成され、バッファ822に入力される。バッファ822に入力された選択信号は、緩衝増幅されて走査線809に入力される。

【0122】走査線809が選択されると、選択された

走査線 809 にゲート電極が接続されたスイッチング用 TFT 803 がオンになる。そして、信号線に輸入されたビデオ信号が、オンになっているスイッチング用 TFT 803 を介して、駆動用 TFT 804 のゲート電極に輸入される。

【0123】駆動用 TFT 804 は、ゲート電極に輸入されたビデオ信号の有する 1 または 0 の情報に基づいて、そのスイッチングが制御される。駆動用 TFT 804 がオンのときに、電源線の電位が画素電極に与えられる。駆動用 TFT 804 がオフのとき、電源線の電位が画素電極に与えられない。

【0124】このように、信号線駆動回路 800 と、走査線駆動回路 801 と、画素部 802 が動作すると、各回路または回路素子において電界または電磁波が発生する。この電界または電磁波を何らかの手段を用いてモニターすることで、欠陥箇所を検出することができる。

【0125】図 11 に示した素子基板の場合、S-CLK、S-SP、G-CLK、G-SP、ラッチ信号及びビデオ信号を、検査用の駆動信号として各回路に輸入している。なお、検査用の駆動信号は、上述した信号に限定されない。駆動に関わる信号ならば、検査用の駆動信号として用いることが可能である。例えば、上述した信号の他に、走査線の走査方向を切りかえるタイミングを決定する信号や、走査線への選択信号の入力方向を切りかえる信号などを入力しても良い。ただし、検査したい回路において、回路または回路素子の欠陥の有無が検出できるような信号を入力することが肝要である。

【0126】また、素子基板が有する全ての回路を検査するのではなく、その中の一部の回路を検査対象とする場合、該回路の欠陥部分を検出することが可能であるならば、上述した全ての駆動信号を入力する必要はない。例えば、信号線駆動回路 800 が有するシフトレジスタ 810 のみを検査対象とするとき、検査用の駆動信号である S-CLK、S-SP と、シフトレジスタ 810 用の検査用の電源電圧のみを、波形整形回路と整流回路において生成し、シフトレジスタ 810 に入力すれば良い。

【0127】なお電源電圧を、位相の異なる複数の脈流の信号を加算して生成している場合、加算する脈流の信号の数によっても 1 次コイルの数は変わってくる。

【0128】なお本発明の検査装置及び検査方法は、図 10 及び図 11 に示した構造を有する素子基板に限定するわけではない。本発明の検査装置及び検査方法は、非接触にて駆動信号と電源電圧を入力することで、各回路または回路素子において電磁波または電界が生じる半導体装置であれば良く、あらゆる種類及び規格の半導体装置に用いることが可能である。

【0129】本実施例は、実施例 1 と自由に組み合わせ実施することが可能である。

【0130】（実施例 3）本実施例では、検査終了後

の、基板を切断するラインについて説明する。

【0131】図 12 に、本発明の検査方法において検査される素子基板の上面図を示す。なお本実施の形態では、液晶ディスプレイが有する素子基板を例にとりて、本発明の検査方法について説明するが、本発明の検査方法は、液晶ディスプレイに限って用いることができるわけではなく、半導体を用いて形成された半導体装置であるならば、どれでも用いることが可能である。

【0132】図 12 に示した素子基板は、基板 410 上に、信号線駆動回路 411、走査線駆動回路 412、画素部 413、引きまわし配線 414、コネクタ接続部 415、波形整形回路または整流回路 416、2 次コイル形成部 417、コイル用配線 418 が設けられている。なお本明細書において素子基板とは、基板 410 と、基板 410 上に形成された回路または回路素子全てを含んでいる。

【0133】コネクタ接続部 415 には、検査工程の後の工程において、FPC または TAB 等が接続される。

【0134】そして素子基板は、検査工程終了後、引きまわし配線 414 とコイル用配線 418 とが物理的及び電氣的に切り離されるように、点線 B-B' において切断される。なお本実施例では、素子基板の一部を切断した後、半導体装置に用いられる方の基板に 2 次コイル形成部 417 が残っている。2 次コイル形成部 417 と、引きまわし配線 414 は電氣的にも物理的にも切り離されているので、2 次コイル形成部 417 が基板に残されていても、完成した半導体装置の動作には何ら支障をきたさない。

【0135】なお、コイル用配線 418 は、必ずしも基板の切断と同時に切り離す必要はない。例えば、レーザー等で電氣的に切り離すようにしても良い。コイル用配線 418 の切断は、2 次コイル形成部 417 と素子基板が有する回路または回路素子とを、電氣的に切り離すことができればよい。

【0136】なお、波形整形回路または整流回路 416 も、切断後、半導体装置に用いられる方の基板に残されていても良いし、半導体装置には用いない方の基板上に形成されていても良い。

【0137】本実施例は、実施例 1 または 2 の構成と自由に組み合わせ実施することが可能である。

【0138】（実施例 4）本実施例では、大型の素子基板を用いて複数の表示用の基板を形成する場合において、検査終了後の基板の切断について説明する。

【0139】図 13 に、本実施例の、切断前の大型の素子基板の上面図を示す。図 13 において、点線で示すラインにおいて素子基板を切断することで、1 つの素子基板から 9 つの表示用の基板が形成される。なお、本実施例では、1 つの基板から 9 つの表示用の基板を形成している例について示しているが、本実施例はこの数に限定

されない。

【0140】なお切断の際に、引きまわし配線とコイル用配線とが物理的及び電氣的に切り離されるように切断され、破壊されている。そして図13では、2次コイル形成部1001が、素子基板の切断後、表示用には用いない基板の方に設けられている。

【0141】大型基板の切断の仕方について、図13とは異なる例について説明する。図14に本実施例の、切断前の大型の素子基板の上面図を示す。図14において、点線で示すラインにおいて素子基板を切断すること
10
で、1つの素子基板から9つの表示用の基板が形成される。なお、本実施例では、1つの基板から9つの表示用の基板を形成している例について示しているが、本実施例はこの数に限定されない。

【0142】なお切断の際に、引きまわし配線とコイル用配線とが物理的及び電氣的に切り離されるように切断され、破壊されている。そして図14では、2次コイル形成部1002が、基板の切断ライン上に設けられており、検査終了後に切断され、破壊される。検査終了後、2次コイル形成部は不要であるので、完成した半導体装
20
置の動作に何ら支障はきたさない。

【0143】なお、波形整形回路または整流回路も、切断後、半導体装置に用いられる方の基板に残されていても良いし、半導体装置には用いない方の基板上に形成されていても良い。また、切断後、破壊されていても良い。

【0144】本実施例は、実施例1～3の構成と自由に組み合わせて実施することが可能である。

【0145】（実施例5）本実施例では、本発明の検査工程の順序について、フローチャートを用いて説明す
30
る。

【0146】図15に、本発明の検査工程のフローチャートを示す。まず、検査前の作製工程が終了した後、検査用の電源電圧または駆動信号を素子基板が有する回路または回路素子に入力する。

【0147】そして、検査用の電源電圧または駆動信号を素子基板に入力したままの状態、素子基板が有する検査対象の回路または回路素子において生じている電磁波または電界の強度を、公知の測定方法でモニターす
る。

【0148】そして、生じている電磁波または電界の強度を、正常に動作している回路素子と比較する。なおこのとき、同じ回路または回路素子どうして測定値を比較するようにしても良いし、シミュレーションにより算出された理論値から導出した値と、測定値を比較するようにしても良い。

【0149】そして比較した結果、生じる電磁波または電界の強度が著しく異なると判断した回路または回路素子を、欠陥箇所と判断する。よって、欠陥箇所の有無及びその位置が同時に特定することも可能となる。なおこ
40
50

のとき、欠陥箇所が生じる電磁波または電界の強度の判断基準は、本発明を実施する者が、適宜設定することが可能である。

【0150】欠陥がない場合は、この時点で検査が終了したものとみなされ、検査工程後の作製工程が開始される。

【0151】欠陥があった場合、工程からはずし製品として完成させない（ロットアウト）か、欠陥の原因を特定するかが選択される。なお、1つの大型基板から複数の製品を作製しようとする場合は、基板切断後にロットアウトとなる。

【0152】欠陥の原因を特定し、修復（リペア）が可能だと判断された場合、リペア後、再び本発明の検査工程を行ない、上述した動作を繰り返すことができる。逆にリペアが不可能だと判断された場合、そこでロットアウトとなる。

【0153】本実施例は、実施例1～4の構成と自由に組み合わせて実施することが可能である。

【0154】（実施例6）本実施例では、本発明で用いるコイルと、該コイルが有する端子と配線（コイル用配線）との接続について、詳しく説明する。

【0155】図16（A）では、絶縁表面上にコイル1601が形成され、該コイル1601を覆って前期絶縁表面上に層間絶縁膜1603を形成している。そして、該層間絶縁膜にコンタクトホールを形成して、層間絶縁膜上に、コンタクトホールを介してコイル1601と接続するように、コイル用配線1602を形成している。

【0156】図16（B）は、図16（A）の破線C-C'における断面図である。

【0157】図16（C）では、絶縁表面上にコイル用配線1612が形成され、該コイル用配線1612を覆って前期絶縁表面上に層間絶縁膜1613を形成している。そして、該層間絶縁膜にコンタクトホールを形成して、層間絶縁膜上に、コンタクトホールを介してコイル用配線1612と接続するように、コイル1611を形成している。

【0158】図16（D）は、図16（C）の破線D-D'における断面図である。

【0159】なお本発明において用いられるコイルの作製方法は、上述した方法に限定されない。絶縁膜をパターンニングすることで渦状の溝を形成し、該溝を覆って導電性を有する膜を前記絶縁膜上に形成する。その後、前記導電性の膜を、前記絶縁膜が露出するまでエッチングまたはCMP法を用いて研磨することで、前記溝においてのみ導電性の膜が残るようにする。この溝において残った導電性の膜をコイルとして用いることも可能である。

【0160】本実施例は、実施例1～5の構成と自由に組み合わせて実施することが可能である。

【0161】（実施例7）本実施例では、本発明の検査

方法を用いて検査を行なうための、検査装置の構成について説明する。

【0162】図17に本発明の検査基板のブロック図を示す。図17に示した本発明の検査装置1700は、検査基板1701と、信号源または交流電源1702と、検査基板1701と素子基板1703を一定の間隔をもって重ね合わせることでできる手段（基板固定手段1704）と、素子基板1703が有する検査専用回路において生じる電界または電磁波を測定し、欠陥箇所を特定する手段（検査部1705）を有している。

【0163】なお、本実施例では信号源または交流電源1702を検査装置の一部とみなしたが、本発明の検査装置は、信号源または交流電源1702を含んでいなくとも良い。

【0164】信号源または交流電源1702において生成する交流の信号は、検査基板1701が有する外部入力用バッファ1706に入力される。入力された交流の信号は、外部入力用バッファ1706において緩衝増幅され、検査基板1701が有する1次コイル形成部1707に入力される。

【0165】1次コイル形成部1707には、1次コイルが形成されている。なお素子基板1703が有する2次コイル形成部1711には、2次コイルが形成されている。

【0166】一方、検査基板1701と素子基板1703は、1次コイル形成部1707が有する1次コイルと、2次コイル形成部1711が有する2次コイルとが一定の間隔をもって重なるように、基板固定手段1704によってその位置が定められる。

【0167】そして、2次コイル形成部1711において生じた交流の電圧により生成された電源電圧または駆動信号が、素子基板1703が有する回路または回路素子1712に入力される。なお素子基板1703が有する、電源電圧または駆動信号を生成する回路については、発明の実施の形態において既に詳しく述べているので、ここでは説明を省略する。

【0168】そして、検査部1705が有する測定部1708で、回路または回路素子1712において生成する電磁波または電界の強度を測定する。そして測定により数値化されたデータ（測定値）は、検査部1705が有する演算部1709に送られる。

【0169】演算部1709では、入力されたデータをもとに、欠陥箇所を特定する。具体的には、発生する電界または電磁波の強度が、正常な回路素子において発生する電界または電磁波の強度と比べて、著しく異なっている回路素子を、欠陥箇所と判断する。

【0170】電界または電磁波の強度の比較の仕方として、以下の方法が挙げられる。

① 検査対象の素子基板が有する、同じ回路どうしまたは同じ回路素子どうしにおいて比較する方法。

② すでに正常であることが知られている回路または回路素子を有する素子基板を別に用意する。そして、該基板が有する回路または回路素子において生じる電磁波または電界の強度を測定し、メモリー等にそのデータを記憶しておく。そして、検査対象の素子基板において発生する電界または電磁波を測定し、メモリーに記憶されているデータとを比較する方法。

③ 素子基板の位置による電界または電磁波の強度の分布と、マスク図面とを比較する方法。

10 【0171】なお、上述した比較の方法はほんの一例であり、本発明はこれに限定されない。発生する電界または電磁波の強度が、正常な回路素子において発生する電界または電磁波の強度と比べて、著しく異なっている回路素子を検出することができれば良い。

【0172】なお本実施例では、検査部1705において欠陥箇所を特定していたが、本発明の検査装置はこの構成に限定されない。検査部1705の代わりに、素子基板1703において生じる電磁波または電界の強度を人間の目で直接判断できるように、電磁波または電界の強度を可視化する手段を有していても良い。

【0173】なお、検査専用回路には、検査対象である全ての回路または回路素子の出力が入力されている。検査専用回路は、検査対象より入力された複数の動作信号より論理演算処理して、検査対象の動作状態の情報（動作、不動作または部分的動作の状態）として出力する手段と、該出力を増幅する手段とを有している。

【0174】本実施例において検査専用回路は、入力された信号のレベル（電圧の高さ）が全てほぼ同じであった場合のみに、第1のレベルの信号を出力し、1つでもレベルの異なる信号があった場合に、前記第1のレベルの信号とは異なる第2のレベルの信号を出力する手段と、該出力を増幅する手段とを有している。

【0175】そして、増幅された出力を所定の端子（パッド）に入力し、該パッドにおいて生じる電界または電磁波の強度を測定することで、検査対象である全ての回路または回路素子における欠陥の有無を確認することができる。そして、1つの検査専用回路に接続される回路または回路素子の数が少なければ少ないほど、欠陥箇所の存在する範囲をより限定することができる。1つの検査専用回路に接続される回路または回路素子の数が多ければ多いほど、1度の測定で、より多くの回路または回路素子における欠陥の有無を確認することができる。

【0176】本実施例は、実施例1～6の構成と自由に組み合わせて実施することが可能である。

【0177】

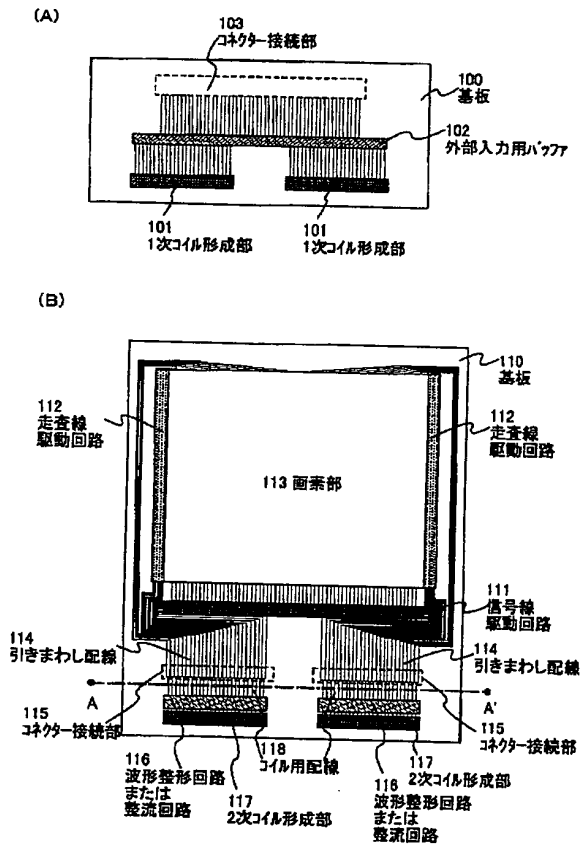
【発明の効果】本発明は上記構成によって、配線に直接プローブを立てなくても欠陥箇所を検出することができるので、プローブを立てることで生じた微細なゴミにより、後の工程の歩留まりを低下させるのを防ぐことができる。なおかつ、光学式検査方法と異なり、1回の検査

工程で全てのパターン形成工程の良否を判断することができるので、検査工程がより簡便化される。

【図面の簡単な説明】

- 【図 1】 検査基板と素子基板の上面図。
- 【図 2】 検査基板と素子基板のブロック図。
- 【図 3】 コイル拡大図。
- 【図 4】 検査時における検査基板と素子基板の斜視図。
- 【図 5】 波形整形回路の回路図。
- 【図 6】 整流回路の回路図。
- 【図 7】 交流から整流化されて脈流となった信号の経時変化。
- 【図 8】 脈流の加算により生成された直流の信号の経時変化。

【図 1】



【図 9】 検査時における、素子基板とポッケルス・セルの斜視図、及びポッケルス・セルを介して見た画素部の図。

【図 10】 液晶ディスプレイの素子基板のブロック図。

【図 11】 OLEDディスプレイの素子基板のブロック図。

【図 12】 素子基板の上面図。

【図 13】 大型の素子基板の上面図。

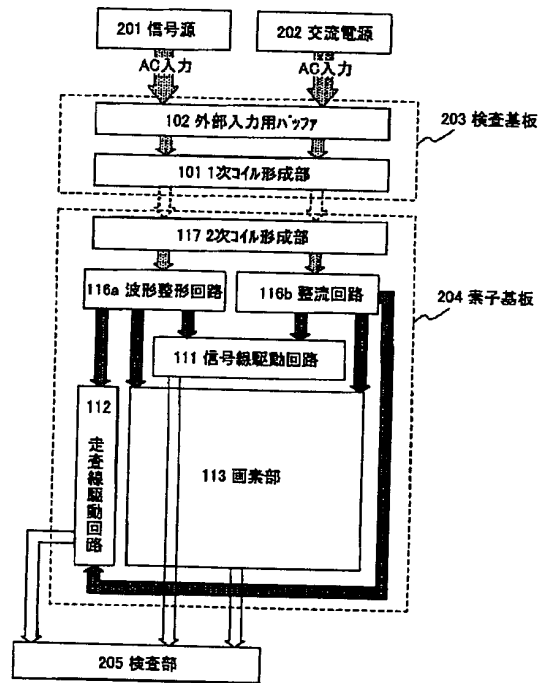
10 【図 14】 大型の素子基板の上面図。

【図 15】 本発明の検査工程の流れを示すフローチャート。

【図 16】 コイルの上面図及び断面図。

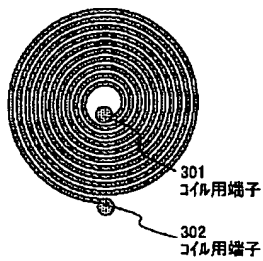
【図 17】 検査装置のブロック図。

【図 2】

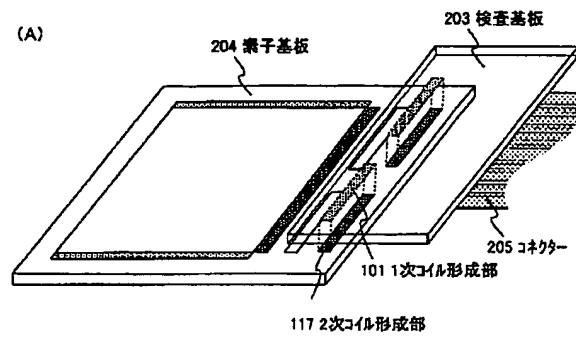


【図 3】

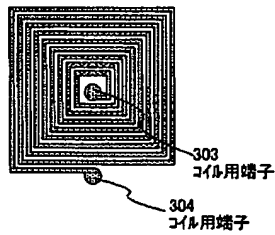
(A)



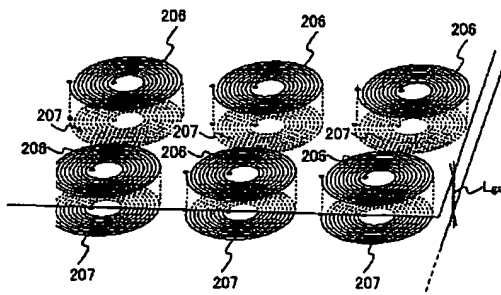
(A)



(B)

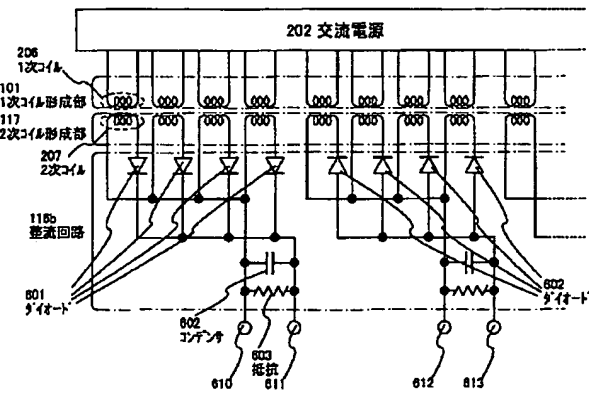
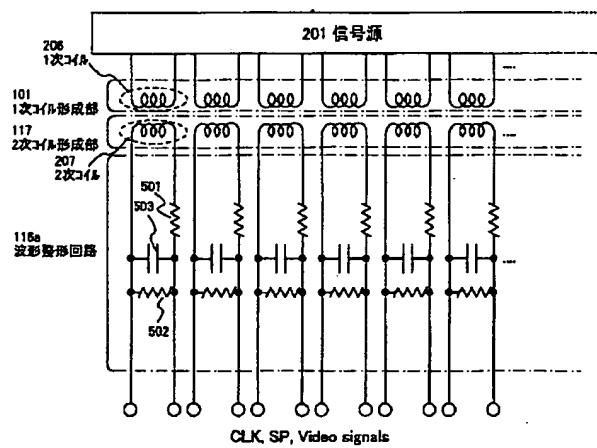


(B)

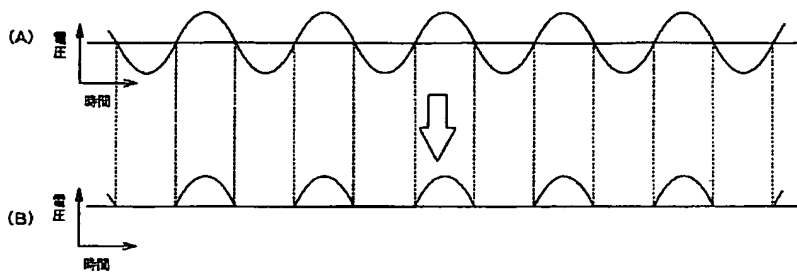


【図 5】

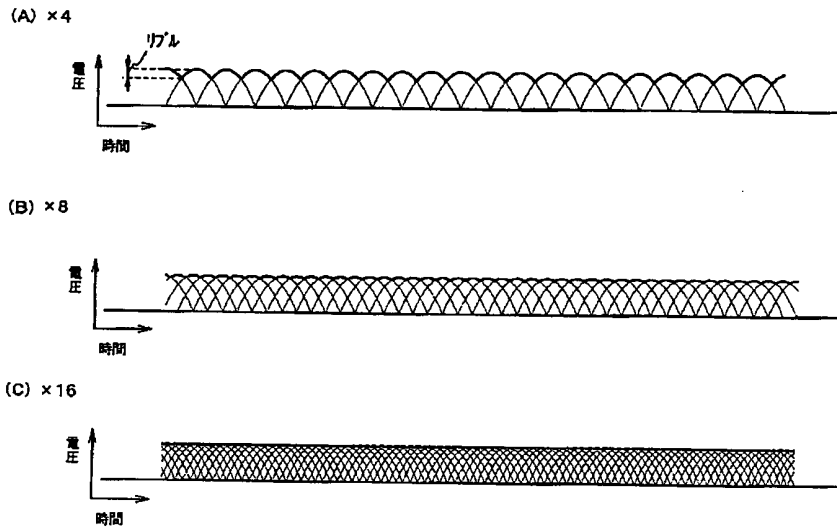
【図 6】



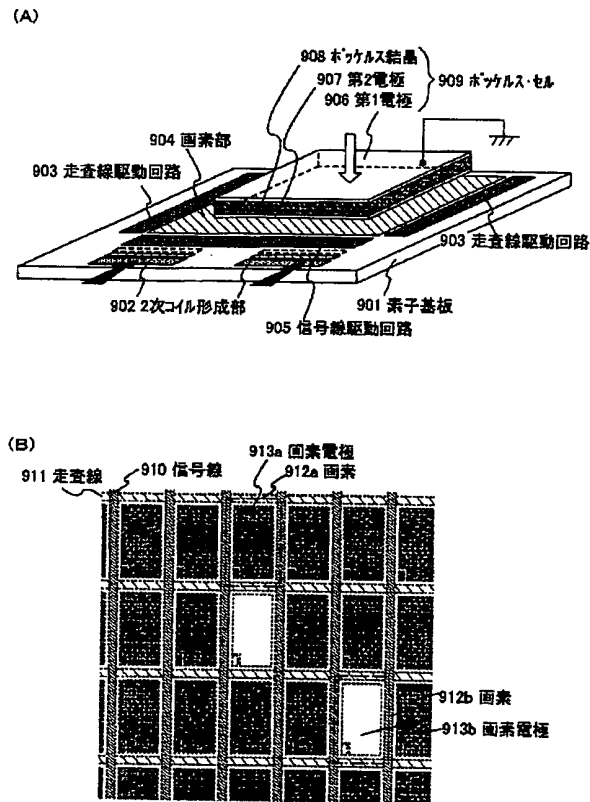
【図 7】



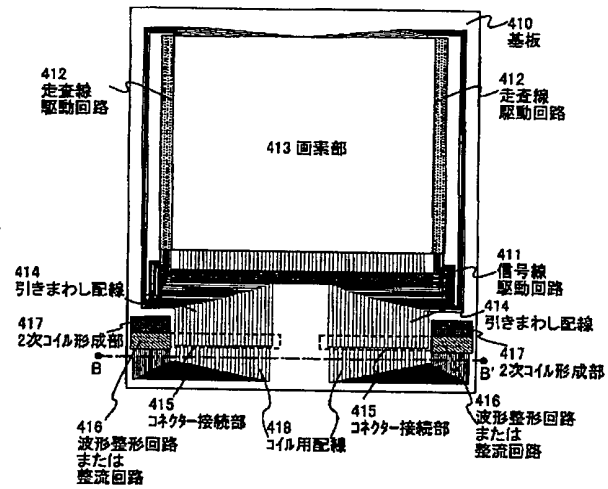
【図8】



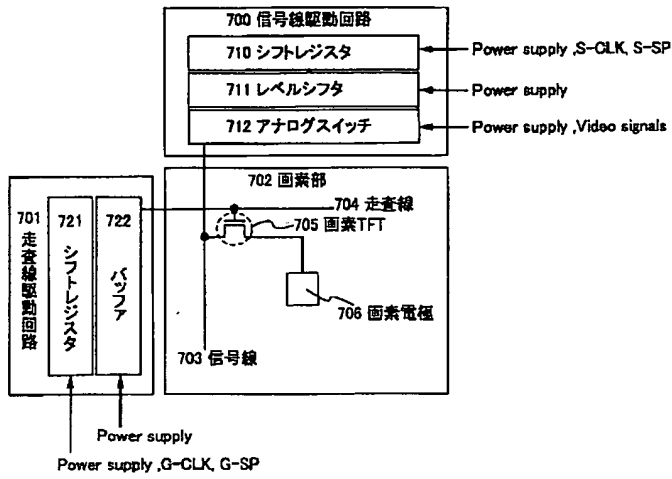
【図9】



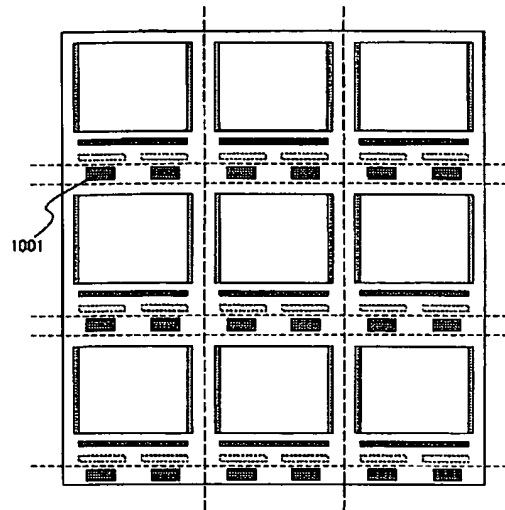
【図12】



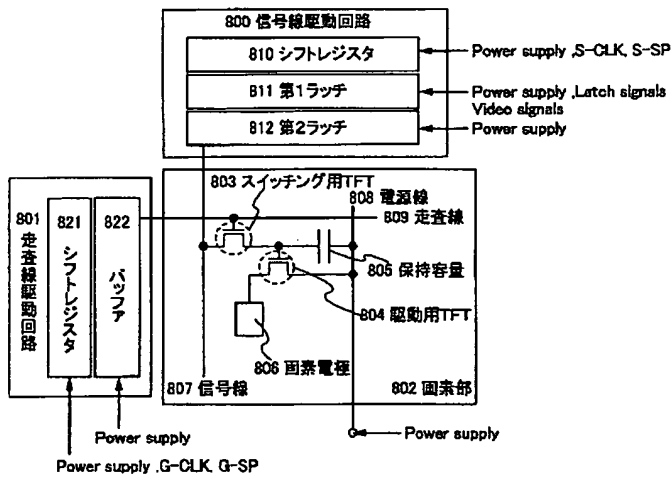
【図 10】



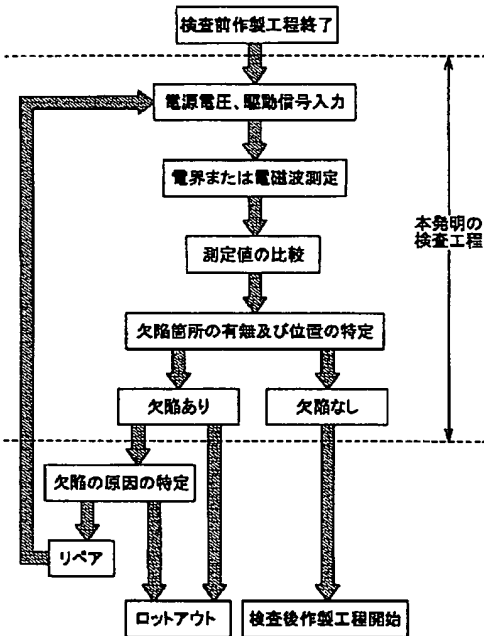
【図 13】



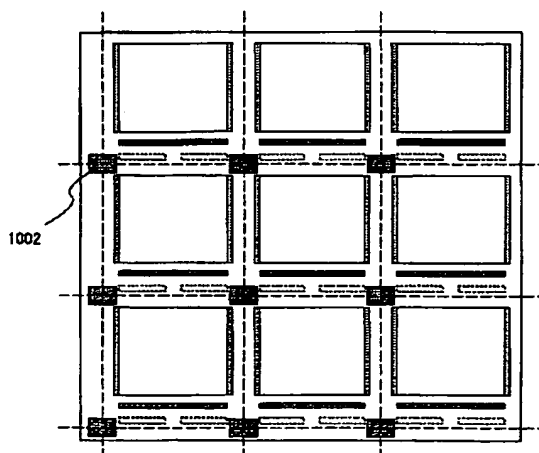
【図 11】



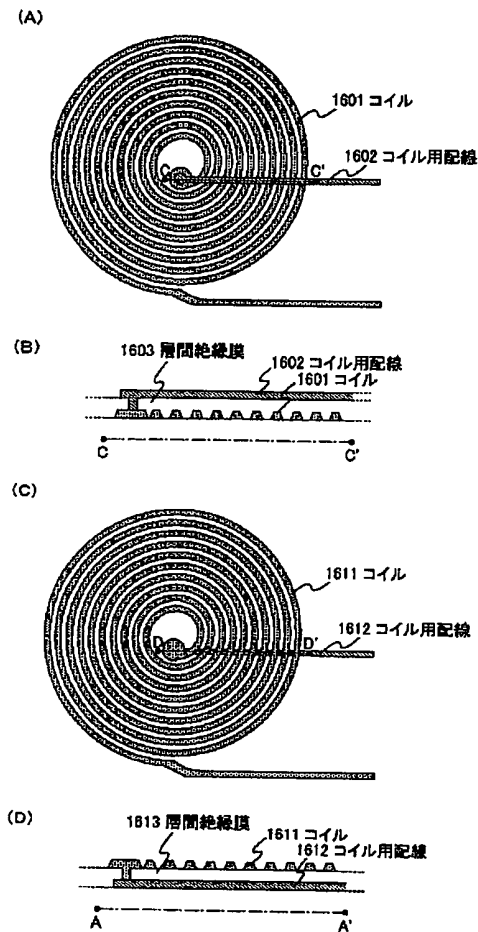
【図 15】



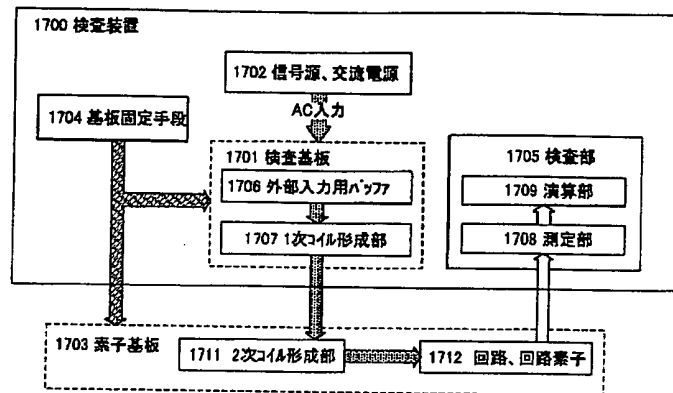
【図 14】



【図 16】



【図 17】



フロントページの続き

Fターム(参考) 2G014 AA02 AA03 AB20 AB21 AC10
 2G036 AA19 AA22 AA25 AA27 BA32
 BA33 BB10 BB12 CA07
 2G132 AA20 AC01 AC03 AD01 AD15
 AE08 AE27 AF02 AF03 AF11
 AF15 AF16 AG00 AK04 AK07
 AL05 AL09 AL12
 2H088 FA13 FA30 HA06

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USP 10,